

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-023157**
(43)Date of publication of application : **21.01.1997**

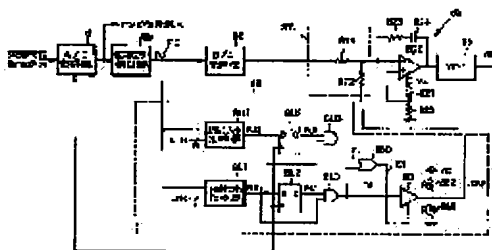
(51)Int.Cl. **H03L 7/10**
G11B 20/14
H03L 7/095

(21)Application number : **07-172277** (71)Applicant : **PIONEER ELECTRON CORP**
(22)Date of filing : **07.07.1995** (72)Inventor : **TATEISHI KIYOSHI**

(54) CYCLE SLIP DETECTOR AND PHASE SYNCHRONIZING CIRCUIT AND DIGITAL SIGNAL REPRODUCING DEVICE UTILIZING THE DETECTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten access time from an unlocked state up to the reading of a signal on a specified recording position of a recording medium by using a phase synchronizing circuit having a wide frequency range capable of executing pull-in operation and a cycle slip detector suitable for the synchronizing circuit.
SOLUTION: A comparator 8U1 discriminates that a phase error signal value is larger than a 1st threshold near to the maximum value of a phase error and generates a 1st discrimination signal PU0. A comparator 8L1 discriminates that the phase error signal value is smaller than a 2nd threshold near to the minimum value of the phase error and generates a 2nd discrimination signal PU1. When the 1st and 2nd discrimination signals are continuously generated, a cycle slip detection signal CSP is generated.



LEGAL STATUS

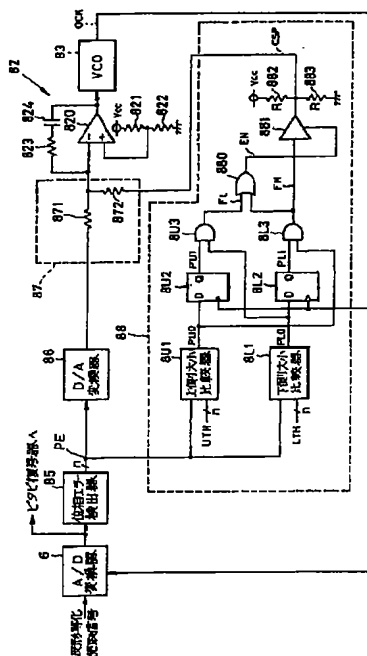
[Date of request for examination] 29.10.2001
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3453006
[Date of registration] 18.07.2003

- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成9年(1997)1月21日

審査請求 未請求 請求項の数8 OL (全 15 頁)



1

【特許請求の範囲】

【請求項1】 位相エラーのサイクルスリップを検出するサイクルスリップ検出器であって、前記位相エラーがとり得る最大値近傍の第1閾値よりも位相エラー信号の値が大きいことを判別して第1判別信号を発生する第1の判別手段と、前記位相エラーがとり得る最小値近傍の第2閾値よりも前記位相エラー信号の値が小さいことを判別して第2判別信号を発生する第2の判別手段と、前記第1判別信号と前記第2判別信号とが連続して発生したときにサイクルスリップ検出信号を発生する検出信号発生手段とを有することを特徴とするサイクルスリップ検出器。

【請求項2】 前記第1及び第2閾値を可変としたことを特徴とする請求項1記載のサイクルスリップ検出器。

【請求項3】 入力信号に位相同期した位相同期信号を生成する位相同期回路であって、前記入力信号の位相エラーを検出しこれに応じた位相エラー信号を発生するエラー検出手段と、前記位相エラーがとり得る最大値近傍の第1閾値よりも前記位相エラー信号の値が大きいことを判別して第1判別信号を発生する第1の判別手段と、前記位相エラーがとり得る最小値近傍の第2閾値よりも前記位相エラー信号の値が小さいことを判別して第2判別信号を発生する第2の判別手段と、前記第1判別信号と前記第2判別信号とが連続して発生したときにサイクルスリップ検出信号を発生する検出信号発生手段とを含むサイクルスリップ検出器と、前記位相エラー信号と前記サイクルスリップ検出信号を加算して両信号の加算値に応じた和信号を生成する加算手段と、前記和信号の低周波成分を通過せしめるループフィルタと、前記低周波成分に応じた発振周波数及び位相にて前記位相同期信号を発生する発振手段と、を有する位相同期回路。

【請求項4】 サンプリングタイミング信号にて前記入力信号をデジタル変換してデジタル信号を出力するデジタル化手段を有し、前記エラー検出手段は、前記入力信号に対する前記デジタル化手段のサンプリングタイミングの位相エラーを検出しこれに応じて前記位相エラー信号を発生することを特徴とする請求項3記載の位相同期回路。

【請求項5】 前記発振手段の発振周波数が位相引込可能な周波数範囲にあることを検出して引込状態検出信号を発生する引込検出手段と、前記引込状態検出信号に応じて前記第1及び第2閾値を変える閾値設定手段とを有することを特徴とする請求項2記載の位相同期回路。

【請求項6】 前記閾値設定手段は、前記引込状態検出信号の発生期間における前記第1閾値と前記第2閾値との差を前記引込状態検出信号の非発生期間における前記

2

第1閾値と第2閾値との差よりも大きくすることを特徴とする請求項5記載の位相同期回路。

【請求項7】 前記入力信号の振幅平均値もしくはピーク値を検出する入力信号評価手段を有し、前記閾値設定手段は、前記振幅平均値もしくはピーク値に応じて前記第1及び第2閾値を変えることを特徴とする請求項3、4、5または6記載の位相同期回路。

【請求項8】 記録媒体を読み取って得られる読取信号からデジタル信号を再生するデジタル信号再生装置であって、

サンプリングタイミング信号にて前記読取信号をデジタル変換してデジタル信号を出力するデジタル化手段と、

前記読取信号に対する前記デジタル化手段のサンプリングタイミングの位相エラーを検出しこれに応じた位相エラー信号を発生するエラー検出手段と、

前記位相エラーがとり得る最大値近傍の第1閾値よりも前記位相エラー信号の値が大きいことを判別して第1判別信号を発生する第1の判別手段と、前記位相エラーがとり得る最小値近傍の第2閾値よりも前記位相エラー信号の値が小さいことを判別して第2判別信号を発生する第2の判別手段と、前記第1判別信号と前記第2判別信号とが連続して発生したときにサイクルスリップ検出信号を発生する検出信号発生手段とを含むサイクルスリップ検出器と、

前記位相エラー信号と前記サイクルスリップ検出信号を加算して両信号の加算値に応じた和信号を生成する加算手段と、

前記和信号の低周波成分を通過せしめるループフィルタと、

前記低周波成分に応じた発振周波数及び位相にて前記サンプルタイミング信号を発生する発振手段と、

前記デジタル信号を復号する復号手段と、を有することを特徴とするデジタル信号再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、周期性の値を有する位相誤差信号における当該周期の遷移を検出するサイクルスリップ検出器及びこれを用いた位相同期回路及びデジタル信号再生装置に関する。

【0002】

【従来の技術】光学式ディスクや、ハード・ディスク、フロッピーディスク等の磁気式ディスクのディスクドライブ装置において、ディスクの読取信号からデジタル信号を再生する際には、いわゆるセルフクロッキング技術が一般的に使用されている。このセルフクロッキング技術においては、通常、読取信号にビット同期もしくは位相同期した再生クロック信号を得るためにPLL（位相同期ループ）回路が使用される。

【0003】図1は、かかるセルフクロッキング技術が

適用された光学式ディスクドライブ装置の構成を示している。図1において、原デジタル情報信号に当該ディスクに適した所定の符号化を施して得られた符号化信号が記録される光ディスク1は、スピンドルモータ2に回転駆動されつつピックアップ3から発せられた読取光が照射される。光ディスク1に入射した読取光はその記録面で反射し、当該記録面に記録されたデジタル信号に対応するレベルないしは成分を有する戻り光として再びピックアップ3に導かれ、ピックアップ3は、この戻り光を受光して光電変換をなし、読取信号としてRF（高周波）アンプ3へ供給する。

【0004】RFアンプ4は、供給された読取信号を増幅し、波形等化器5に供給する。波形等化器5は、RFアンプ4からの増幅された読取信号に対し、符号間干渉を除去すべく波形修正を施し、A/D（アナログ/デジタル）変換器6のアナログ入力端へ供給する。波形等化器5により波形等化された読取信号はATC（オートマチック・スレッシュホールド・コントローラ）7にも供給される。ATC7は、供給された読取信号に適したスレッシュホールド値にて読取信号のレベルを判別し、当該判別レベルに対応するレベルのパルス信号を生成し、PLL回路8に供給する。

【0005】PLL回路8は、ATC7からのパルス信号を一入力とする位相比較器81と、位相比較器81の出力位相エラー信号の低周波成分を通過させるループフィルタ82と、ループフィルタ82を通じた低域の位相エラー信号を制御電圧入力とするVCO（電圧制御発振器）83とからなり、VCO83の発振信号が位相比較器81の他入力に導かれる。これにより、位相比較器81はATC7からのパルス信号とVCO83の発振信号との位相差に応じた位相エラー信号を発生し、VCO83は当該位相差がなくなるようその発振周波数が制御されるので、VCO83の発振信号は、ATC7からのパルス信号の基本周期に同期した再生クロック信号となる。

【0006】再生クロック信号は、A/D変換器6に供給される。A/D変換器6は、波形等化器5からの波形等化された読取信号を、再生クロック信号に基づくサンプルタイミングにてサンプルし、サンプルした読取信号のレベルに対応する値のデジタル信号を図示せぬ復号系へ供給する。復号系では、A/D変換器6からのデジタル信号を復号し、原デジタル情報信号を再生する。

【0007】このような構成のディスクドライブ装置において、PLL回路8は、ロックインレンジが比較的狭く設定されており、入力パルス信号の周波数がロックインレンジに対応する規定周波数にならないと引き込み動作を行えない。従って、スピンドルモータ2をして光ディスク1の回転数を制御し入力パルス信号の周波数が規定周波数となつてからPLL回路8が引き込み動作を行

うようになっていた。そのため、PLL回路8がアンロック状態からロックインするまでに長い時間を要し、アンロック状態から光ディスク1の指定された記録位置の信号を読み取るまでのアクセス時間を短縮するには不利である。

【0008】

【発明が解決しようとする課題】本発明は、上述した点に鑑みてなされたものであり、引き込み動作を行うことのできる周波数レンジの広い位相同期回路及びこれに好適なサイクルスリップ検出器を提供することを目的とする。本発明はまた、アンロック状態から記録媒体の指定された記録位置の信号を読み取るまでのアクセス時間を短縮することのできるデジタル信号再生装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明によるサイクルスリップ検出器は、位相エラーのサイクルスリップを検出するサイクルスリップ検出器であって、前記位相エラーがとり得る最大値近傍の第1閾値よりも位相エラー信号の値が大きいことを判別して第1判別信号を発生する第1の判別手段と、前記位相エラーがとり得る最小値近傍の第2閾値よりも前記位相エラー信号の値が小さいことを判別して第2判別信号を発生する第2の判別手段と、前記第1判別信号と前記第2判別信号とが連続して発生したときにサイクルスリップ検出信号を発生する検出信号発生手段とを有することを特徴としている。

【0010】本発明による位相同期回路は、入力信号に位相同期した位相同期信号を生成する位相同期回路であって、前記入力信号の位相エラーを検出しこれに応じた位相エラー信号を発生するエラー検出手段と、前記位相エラーがとり得る最大値近傍の第1閾値よりも前記位相エラー信号の値が大きいことを判別して第1判別信号を発生する第1の判別手段と、前記位相エラーがとり得る最小値近傍の第2閾値よりも前記位相エラー信号の値が小さいことを判別して第2判別信号を発生する第2の判別手段と、前記第1判別信号と前記第2判別信号とが連続して発生したときにサイクルスリップ検出信号を発生する検出信号発生手段とを含むサイクルスリップ検出器と、前記位相エラー信号と前記サイクルスリップ検出信号を加算して両信号の加算値に応じた和信号を生成する加算手段と、前記和信号の低周波成分を通過せしめるループフィルタと、前記低周波成分に応じた発振周波数及び位相にて前記位相同期信号を発生する発振手段と、を有している。

【0011】本発明によるデジタル信号再生装置は、記録媒体を読み取って得られる読取信号からデジタル信号を再生するデジタル信号再生装置であって、サンプリングタイミング信号にて前記読取信号をデジタル変換してデジタル信号を出力するデジタル化手段と、前記読取信号に対する前記デジタル化手段のサン

5

プリングタイミングの位相エラーを検出しこれに応じた位相エラー信号を発生するエラー検出手段と、前記位相エラーがとり得る最大値近傍の第1閾値よりも前記位相エラー信号の値が大きいことを判別して第1判別信号を発生する第1の判別手段と、前記位相エラーがとり得る最小値近傍の第2閾値よりも前記位相エラー信号の値が小さいことを判別して第2判別信号を発生する第2の判別手段と、前記第1判別信号と前記第2判別信号とが連続して発生したときにサイクルスリップ検出信号を発生する検出信号発生手段とを含むサイクルスリップ検出器と、前記位相エラー信号と前記サイクルスリップ検出信号を加算して両信号の加算値に応じた和信号を生成する加算手段と、前記和信号の低周波成分を通過せしめるループフィルタと、前記低周波成分に応じた発振周波数及び位相にて前記サンプルタイミング信号を発生する発振手段と、前記デジタル信号を復号する復号手段と、を有することを特徴としている。

【0012】

【作用】本発明のサイクルスリップ検出器によれば、位相エラーがとり得る最大値近傍の第1閾値よりも供給された位相エラー信号の値が大きいことが判別され第1判別信号が発生される。また位相エラーがとり得る最小値近傍の第2閾値よりも供給された位相エラー信号の値が小さいことが判別され第2判別信号が発生される。そして、第1判別信号と第2判別信号とが連続して発生したときにサイクルスリップ検出信号が発生される。

【0013】本発明の位相同期回路によれば、上記サイクルスリップ検出信号が、ループフィルタに供給される位相エラー信号に加算される。本発明のデジタル信号再生装置によれば、サンプリングタイミング信号にて読取信号がサンプルされデジタル変換されてデジタル信号が出力されるとともに、読取信号に対する当該デジタル変換におけるサンプリングタイミングの位相エラーに応じた位相エラー信号が生成される。そして上記の位相同期回路によって得られた位相同期信号がサンプルタイミング信号とされる。

【0014】

【実施例】以下、本発明を図面に基づいて詳細に説明する。図2は、本発明による位相同期回路が適用された一実施例のデジタル信号再生装置の構成を示しており、図1と同等な部分には同一の符号が付されている。図2において、ピックアップからの読取信号は、RFアンプ4、波形等化器5を経てA/D変換器6に供給される。A/D変換器6によりデジタル化された読取信号は、ビタビ復号器9に供給されてビタビ復号処理が施され、さらに図示せぬ復号系によって原デジタル情報信号に変換される。

【0015】A/D変換器6のデジタル出力信号は、位相同期回路であるPLL回路8Aにおける位相エラー検出器85にも供給される。位相エラー検出器85は、

6

図1の位相比較器81と異なり、A/D変換器6のデジタル出力信号すなわちサンプル値系列データそのものから位相エラーを検出する。その一例を詳述すれば、位相エラー検出器85は、図3及び図4に示される如き原理にて位相エラーを得る。

【0016】図3において、(a)に示されるA/D変換器6のアナログ入力である読取信号は、A/D変換器6のサンプルタイミング((b) に示されるサンプリングクロックの立ち上がりエッジタイミング) 毎に標本化されて(c)のようなサンプル値 $q_1 \sim q_{10}$ に対応する n ビットのデータ系列となる。サンプル値 q_3 から q_4 への推移においては、そのサンプル値が負の値から正の値へと変化し、サンプル値 q_3 の絶対値とサンプル値 q_4 の絶対値とではサンプル値 q_3 の絶対値の方が小さく、サンプル値 q_3 の方が0レベルに近い。そしてこのときサンプル値 q_3 から q_4 への推移が上昇傾向にあるので、サンプル値 q_3 に対応する n ビットデータをそのまま位相エラー信号とする。サンプル値 q_8 から q_9 への推移においては、そのサンプル値が正から負へと変化し、サンプル値 q_8 の絶対値とサンプル値 q_9 の絶対値とではサンプル値 q_8 の絶対値の方が小さく、サンプル値 q_8 の方が0レベルに近い。そしてサンプル値 q_8 から q_9 への推移が下降傾向にあるので、サンプル値 q_8 に対応する n ビットデータの極性反転データを位相エラー信号とする。このような状態は、読取信号(a)のゼロクロス点を基準位相点としたときにその基準位相点に最も近いA/D変換器6のサンプルタイミングが当該基準位相点よりも早く発生しており、A/D変換器6に供給される再生パルスが q_3 または q_8 の絶対値に応じた分だけ位相進みを生じていることに相当する。

【0017】これとは逆に、再生パルスが q_3 または q_8 の絶対値に応じた分だけ位相遅れを生じている状態が図4に示される。図4においては、読取信号(a)の基準位相点に最も近いA/D変換器6のサンプルタイミングが当該基準位相点よりも遅れて発生している。サンプル値 q_2 から q_3 への推移においては、そのサンプル値が負の値から正の値へと変化しているが、サンプル値 q_2 の絶対値とサンプル値 q_3 の絶対値とではサンプル値 q_3 の絶対値の方が小さく、サンプル値 q_3 の方が0レベルに近い。そしてこのときサンプル値 q_2 から q_3 への推移が上昇傾向にあるので、サンプル値 q_3 に対応する n ビットデータをそのまま位相エラー信号とする。サンプル値 q_7 から q_8 への推移においては、そのサンプル値が正から負へと変化し、サンプル値 q_7 の絶対値とサンプル値 q_8 の絶対値とではサンプル値 q_8 の絶対値の方が小さく、サンプル値 q_8 の方が0レベルに近い。そしてサンプル値 q_7 から q_8 への推移が下降傾向にあるので、サンプル値 q_8 に対応する n ビットデータの極性反転データを位相エラー信号とする。

【0018】このように位相エラー検出器85は、読取

信号のエッジ到来の度に位相エラーを更新し、正負のデジタル信号として位相エラー信号を発生するのである。再び図2に戻り、位相同期回路8Aにおいて、位相エラー信号は、D/A（デジタル/アナログ）変換器86によりアナログ化され加算回路87に供給されるとともに、サイクルスリップ検出器88にも供給される。サイクルスリップ検出器88は、後述の構成によって、位相エラー信号が最大値から最小値へと遷移した時点及び最小値から最大値へと遷移した時点すなわちサイクルスリップを検出して所定波形の検出信号を加算回路87に供給する。加算回路87は、供給された2つの入力信号を加算して両入力信号値の和に応じた信号をループフィルタ82に供給する。ループフィルタ82は、供給された信号の低周波成分をVCO83に制御電圧として供給し、VCO83は、その制御電圧に応じた発振周波数の再生パルスをA/D変換器6に供給する。

【0019】この位相同期回路8Aの具体的構成は、図5に示される。図5において、サイクルスリップ検出器88は、上側及び下側大小比較器8U1、8L1、D型フリップフロップ8U2、8L2、ANDゲート8U3、8L3、ORゲート880、3レベル制御回路881及び抵抗器882、883とからなる。上側及び下側大小比較器8U1、8L1は、第1及び第2の判別手段を担い、いわゆるデジタルマグニチュードコンパレータであり、位相エラー検出器85からのnビット位相エラーデータをそれぞれ一方の入力とし、後述する上側閾値UTHに対応するnビットデータ及び下側閾値LTHに対応するnビットデータを他方の入力とし、これら2つの入力の値比較を行う。上側大小比較器8U1は、位相エラーデータの値が閾値UTHよりも大きい場合に高レベルの信号を出力し、下側大小比較器8L1は、位相エラーデータの値が閾値LTHよりも小さい場合に高レベルの信号を出力する。

【0020】上側及び下側大小比較器の出力信号からサイクルスリップ検出信号を得るための回路は、検出信号発生手段に相当する。D型フリップフロップ8U2、8L2は、上側大小比較器8U1及び下側大小比較器8L1の出力信号を個々にD入力としVCO83の出力再生パルスをクロック入力とし、そのQ出力信号は個々にANDゲート8U3、8L3の一入力となる。ANDゲート8U3の他入力には、下側大小比較器8L1の出力信号が導かれ、ANDゲート8L3の他入力には、上側大小比較器8U1の出力信号が導かれる。ANDゲート8U3、8L3の出力信号は、ORゲート880に入力され、ORゲート880はその出力信号を、例えばいわゆるスリーステートバッファからなる3レベル制御回路881の制御入力端に供給する。ORゲート880はエクスクルシブORゲートに代替可能である。3レベル制御回路881の信号入力端には下側に対応するANDゲート8L3の出力信号が供給され、信号出力端は抵抗器8

82、883の直列接続構成による分圧回路の分圧点と接続される。3レベル制御回路881の信号出力端からは、サイクルスリップ検出器88の出力検出信号が導出される。

【0021】加算回路87は、サイクルスリップ検出器88からのサイクルスリップ検出信号とD/A変換器86からのアナログ位相エラー信号とを個々に通ぜしめる抵抗器871、872を有し、いわゆるワイヤードによって両信号の和に応じた信号を生成する。加算回路87の出力和信号は、ループフィルタ82としての低域通過フィルタを構成する演算増幅器820の反転入力端に供給される。演算増幅器820の非反転入力端には、抵抗器821及び822の直列接続構成による分圧回路の分圧電圧が供給され、演算増幅器820の反転入力端と信号出力端との間には抵抗器823及びコンデンサ824の直列接続構成による帰還回路が形成される。これによるループフィルタ82は、積分回路としてまた反転増幅回路として機能する。

【0022】次に、この位相同期回路の動作を図6及び図7のタイムチャートを用いて説明する。図6には、A/D変換器6に供給された読取信号のサンプルすべきタイミング周波数がVCO83の発振周波数よりも高く、VCO83の発振周波数を読取信号の当該タイミング周波数へと上げていく場合の各部動作波形が示されている。この場合、位相エラーデータPEの値は、(a)に示されるように時間経過とともに徐々に上昇していき、最大値に達した直後に最小値へと急峻に切り換わってサイクルスリップをなし、再び最大値へ向けて徐々に上昇する、という変化を繰り返す。上側大小比較器8U1は、位相エラーデータPEの最大値より所定値だけ小さい上側閾値UTHが設定されており、位相エラーデータPEの値がこの閾値を越えている間高レベルとなるピーク検出信号PU0を発生する。下側大小比較器8L1は、位相エラーデータPEの最小値より所定値だけ大きい下側閾値LTHが設定されており、位相エラーデータPEの値がこの閾値を下回っている間高レベルとなるボトム検出信号PL0を発生する。ピーク及びボトム検出信号PU0、PL0は、D型フリップフロップ8U2、8L2によってそれぞれVCO83の出力再生パルスOCKの略1周期分遅延され、対応する遅延信号PU1、PL1となる。

【0023】ANDゲート8U3は、遅延信号PU1とボトム検出信号PL0とが同時に高レベルのときに高レベルとなる立ち下がり検出信号FLを発生する。この信号FLの高レベル部により、位相エラーが上側閾値UTHから下側閾値LTHへ遷移したことが示される。この図6の場合では、位相エラー信号PEは、サイクルスリップ時を除き位相エラーが継続して上昇傾向にあるので、上側の閾値UTHから下側の閾値LTHへの遷移を繰り返し、下側の閾値LTHから上側の閾値UTHへの

遷移は現れない。従って遅延信号PL1とピーク検出信号PU0とが同時に高レベルとなることはなく、ANDゲート8L3の出力信号FHは、低レベルを持続する。立ち下がり検出信号FLが高レベルになったことにより、ORゲート880の出力信号ENは高レベルとなり、3値制御回路881をイネーブル状態にせしめる。かかるイネーブル状態において、3値制御回路881は、低レベルの信号FHが供給されているので、低レベル（接地レベル）のサイクルスリップ検出信号CSPを出力する。

【0024】サイクルスリップ検出信号CSPは、加算回路87においてアナログ化された位相エラー信号（D/A変換器86は入力エラーデータPEの極性を反転したアナログ出力をなす）と加算され、この加算出力がループフィルタ82に供給されるので、ループフィルタ82は、位相エラー信号PEよりも所定電圧だけ上昇シフトしたVCO83の制御電圧を生成することとなる。詳述すれば、サイクルスリップ検出信号CSPの1つの低レベル発生により、コンデンサ824のチャージ電荷が操作され、演算増幅器820の出力端基準電位を1段階上昇させる。理想的には、かかる1段階の幅は、位相エラー信号のダイナミックレンジ（最大値と最小値との差）に合わせるのが良い。かかる1段階の上昇によりサイクルスリップが起きて位相エラー信号が最大値から最小値へ落ち込んでも、低レベルを有するサイクルスリップ検出信号CSPのループフィルタ82への注入によりVCO83の制御電圧はその落ち込みに抗して所定量の補償がなされ、VCO83は、サイクルスリップでさほど落ち込むことなく継続して発振周波数を上昇させることができるのである。

【0025】一方、図7には、A/D変換器6に供給された読取信号のサンプルすべきタイミング周波数がVCO83の発振周波数よりも低く、VCO83の発振周波数を読取信号の当該タイミング周波数へと下げていく場合の各部動作波形が示されている。この場合、位相エラーデータPEの値は、(a)に示されるように時間経過とともに徐々に下降していき、最小値に達した直後に最大値へと急峻に切り換わってサイクルスリップをなし、再び最小値へ向けて徐々に下降する、という変化を繰り返す。これに伴い上側及び下側大小比較器8U1、8L1により発生されるピーク及びボトム検出信号PU0、PL0は、図6と異なり、前者が後者より遅れて高レベルとなり、これらの遅延信号PU1、PL1も同様となる。

【0026】ANDゲート8L3は、遅延信号PL1とピーク検出信号PU0とが同時に高レベルのときに高レベルとなる立ち上がり検出信号FHを発生する。この信号FHの高レベル部により、位相エラーが下側閾値LTHから上側閾値UTHへ遷移したことが示される。この図7の場合では、位相エラー信号PEは、サイクルスリ

ップ時を除き位相エラーが継続して下降傾向にあるので、下側の閾値LTHから上側の閾値UTHへの遷移を繰り返し、上側の閾値UTHから下側の閾値LTHへの遷移は現れない。従って遅延信号PU1とピーク検出信号PL0とが同時に高レベルとなることはなく、ANDゲート8U3の出力信号FLは、低レベルを持続する。立ち上がり検出信号FHが高レベルになったことにより、ORゲート880の出力信号ENは高レベルとなり、3値制御回路881をイネーブル状態にせしめる。かかるイネーブル状態において、3値制御回路881は、高レベルの信号FHが供給されているので、高レベル（Vccレベル）のサイクルスリップ検出信号CSPを出力する。

【0027】この場合においてもサイクルスリップ検出信号CSPは、加算回路87においてアナログ化された位相エラー信号と加算され、この加算出力がループフィルタ82に供給されるので、ループフィルタ82は、位相エラー信号PEよりも所定電圧だけ下降シフトしたVCO83の制御電圧を生成することとなる。すなわち、サイクルスリップ検出信号CSPの1つの高レベル発生により、コンデンサ824のチャージ電荷が操作され、演算増幅器820の出力端基準電位を1段階下降させる。理想的には、かかる1段階の幅は、位相エラー信号のダイナミックレンジ（最大値と最小値との差）に合わせるのが良い。かかる1段階の上昇によりサイクルスリップが起きて位相エラー信号が最小値から最大値へ立ち上がっても、高レベルを有するサイクルスリップ検出信号CSPのループフィルタ82への注入によりVCO83の制御電圧はその立ち上がりに抗した所定量の補償がなされ、VCO83は、サイクルスリップでさほど持ち上がることなく発振周波数を下降させることができるのである。

【0028】他方、3値制御回路881は、イネーブル信号ENが低レベルであるとフローティング状態となるので、サイクルスリップ検出信号CSPは抵抗器882及び883による分圧電圧にクリップされる。この分圧電圧は、低レベル（0V）及び高レベル（Vcc）の中央レベル（ $V_{cc}/2$ ）であり、これがサイクルスリップ検出信号CSPとしてアナログ化された位相エラー信号と加算されても、コンデンサ824のチャージ電荷を段階的に操作することはない。かくしてサイクルスリップ時以外の時は、唯一位相エラー信号に応じた変化を有する制御電圧をVCO83に供給することができる。

【0029】図6及び図7のような作用により、位相同期回路が位相アンロック状態であってもVCO83の発振周波数を読取信号の周波数に引き込むことができるので、位相同期回路がアンロック状態からロックインするまでの時間が短くて済み、また、アンロック状態から光ディスク1の指定された記録位置の信号を読み取るまでのアクセス時間も短縮するに好都合となる。

11

【0030】図5に示されるサイクルスリップ検出器88の構成を、図8のように改変することもできる。図8において、ANDゲート8U3の出力立ち下がり検出信号FLは、抵抗器884を介して演算増幅器885の反転入力端に供給され、ANDゲート8L3の出力立ち上がり検出信号FHは、抵抗器886を介して演算増幅器885の非反転入力端に供給される。演算増幅器885の出力端と反転入力端との間には、抵抗器887が接続され帰還回路が形成される。演算増幅器885の非反転入力端と接地点間には、抵抗器888と電圧 $V_{CC}/2$ を発生する定電圧源との直列回路が接続される。演算増幅器885及び抵抗器886～888により減算回路が構成される。抵抗器884と抵抗器886の抵抗値は等しく、抵抗器887と抵抗器888の抵抗値も等しく設定される。

【0031】この減算回路は、信号FLが高レベルでかつ信号FHが低レベルのとき低レベル(0V)の出力信号を発生し、信号FLが低レベルでかつ信号FHが高レベルのとき高レベル(V_{CC})の出力信号を発生し、また信号FLと信号FHが同時に低レベルのときは中央レベル($V_{CC}/2$)の出力信号を発生する。従って図6及び図7と同等のサイクルスリップ検出信号CSPを発生することができ、この減算回路は、図5におけるORゲート880、3値制御回路881及び抵抗器882、883の機能を担っている。

【0032】さらにループフィルタ82との整合性を考慮すれば、サイクルスリップ検出信号における高レベル期間及び低レベル期間すなわちパルス幅を変更しても良く、図9のような構成を採用することができる。図9において、立ち下がり検出信号FLは、D型フリップフロップ8U4のD入力及びORゲート8U5の一入力となり、立ち上がり検出信号FHは、D型フリップフロップ8L4のD入力及びORゲート8L5の一入力となる。D型フリップフロップ8U4、8L4のクロック入力端にはVCO83からの再生パルスOCKが供給され、各Q出力は、個々にORゲート8U5、8L5の他入力となる。ORゲート8U5、8L5の出力信号は、それぞれORゲート880に供給される。

【0033】これによれば、ORゲート8U5、8L5において、原信号の検出信号FL、FHとこれらの高レベル期間がD型フリップフロップ8U4、8L4によってクロックOCKの1周期幅だけ遅延された信号FL1、FH1とが論理和をとられる。従ってORゲート8U5、8L5の出力からは、クロックOCKの1周期幅だけ原信号FL、FHの高レベル期間が拡張された長いパルス幅を有する変更された立ち下がり及び立ち上がり検出信号FL2、FH2が得られる。そしてこれに伴い、ORゲート880の出力にも、同様に変更されたインエーブル信号EN'が得られ、パルス幅の長いサイクルスリップ検出信号CSP'を発生することができる。

12

【0034】このようにD型フリップフロップ8U4、8L4及びORゲート8U5、8L5は、図5の構成に対し、サイクルスリップ検出信号のパルス幅を長くする拡張機能を担うが、この拡張機能は、MMVにて実現しても良い。すなわち原検出信号FL、FHを個々にトリガ入力とし、当該トリガ入力時点から所定期間に亘り高レベルを示す出力信号FLM、FHMを発生する2つのMMVを設け、この出力信号を図5の構成におけるORゲート880の入力信号とするのである。また図8の構成を採用するならば、原検出信号FL、FHに代えてMMVの出力信号FLM、FHMを減算回路に供給しても良い。このようにMMVにて拡張機能を持たせることの利点は、MMVの設定によって自在にサイクルスリップ検出信号のパルス幅を決められる点である。

【0035】上記の構成は、サイクルスリップ検出信号のパルス幅を長くした場合であるが、逆にパルス幅を短くする構成を採用しても良い。パルス幅を短くするには、例えば図5の構成においてVCO83からのクロック信号を逡倍して周期の短いクロック信号を生成し、これをD型フリップフロップ8U2、8L2のクロック入力するようにすれば良いが、これ以外にも種々の方法がある。また、D型フリップフロップを使って信号遅延を行う構成以外に、ディレイラインを使って信号遅延を行っても良い。すなわち、図5及び図8においてD型フリップフロップ8U2、8L2に代えて対応するディレイラインを設ければ、そのディレイラインに設定されている所定の遅延時間(原検出信号FL、FHのパルス幅に対応する)を作り出すことができ、しかもその遅延時間は、使用するディレイラインを適宜選択することによって、長くすることもできるし、短くすることもできるのである。

【0036】次に、記録媒体である光ディスクの記録情報再生装置に使用して特に有効な位相同期回路の構成を図10に示す。図10において、サイクルスリップ検出器88'は、上側及び下側大小比較器8U1、8L1の各比較基準値を切り換えるためのセクタ8US、8LSを有する。上側セクタ8USは、後述する第1及び第2の上側閾値UTH1、UTH2が供給され、下側セクタ8LSは、後述する第1及び第2の下側閾値LTH1、LTH2が供給される。一方A/D変換器6の出力デジタル信号は、シンク検出回路10に供給され、ここでいわゆるパターン認識処理によって、同期信号パターンを有するデジタル信号が供給されているか否かが判別される。ロック検出回路11は、シンク検出回路10の判別結果に基づき、同期信号が所定の周期で到来することを検知すると高レベルのロック検出信号を発生する。このロック検出信号がセクタ8US、8LSの選択制御入力となる。なおロック検出回路11において検知される、所定の周期で同期信号が到来する状態は、読取信号のサンプルすべきタイミング周波数とVCO8

3の発振周波数とが十分に近づいて、位相同期回路のロックインレンジに入ったことに相当する。

【0037】ロック検出信号が発生しておらず、従って各セレクトの選択制御入力が高レベルのとき、各セレクトは、A入力を選択し、第1の上側及び下側閾値UTH1、LTH1を上側及び下側大小比較器8U1、8L1に比較基準値として与える。第1の上側及び下側閾値UTH1、LTH1は、例えば図6及び図7に示されるように、位相エラー信号の中心値(0)に比較的近い値が採用される。これは、位相同期回路がアンロック状態にあるときは位相エラーのサイクルスリップが生じるので、サイクルスリップを検出しやすくしかつその検出漏れを防ぐためである。図11の(A)を用いて説明すると、アンロック状態において、UTH、LTHの絶対値が大きすぎると、例えば位相エラー検出器85の検出処理に誤差を含んだ場合などが原因で、サイクルスリップをしているにも拘らず位相エラーがUTH、LTHの絶対値を越えないといった状況が多発し、その度にサイクルスリップを検出することができない。これに対し若干位相エラーの中心値寄りの絶対値の小さいUTH1、LTH1を設定すれば、位相エラーがUTH1、LTH1の絶対値を越える可能性が高くなり、サイクルスリップの検出漏れが回避されるのである。

【0038】一方ロック検出信号が発生し、従って各セレクトの選択制御入力が高レベルのとき、各セレクトは、B入力を選択し、第2の上側及び下側閾値UTH2、LTH2を上側及び下側大小比較器8U1、8L1に比較基準値として与える。第2の上側及び下側閾値UTH2、LTH2は、同じく図6及び図7に示されるように、位相エラー信号の最大値、最小値に比較的近い値が採用される。すなわちUTH2、LTH2の絶対値は、UTH1、LTH1の絶対値よりも所定値だけ大きく設定される。これは、位相同期回路がロック状態にあるときは位相エラーは本来位相エラーのサイクルスリップは生じないので、サイクルスリップを検出しにくくしかつ誤検出を防ぐためである。図11の(B)を用いて説明すると、ロック状態において、UTH、LTHの絶対値が小さすぎると、例えばドロップアウトなどが原因で、サイクルスリップをしていないにも拘らず位相エラーがUTH、LTHの絶対値を越えてしまうといった状況が多発し、その度にサイクルスリップを検出してしまふ。これに対し若干位相エラーの正負のピーク値寄りの絶対値の大きいUTH2、LTH2を設定すれば、位相エラーがUTH2、LTH2の絶対値を越える可能性が低くなり、サイクルスリップの誤検出が回避されるのである。

【0039】このように、アンロック状態とロック状態とに適正な比較基準値を上側及び下側大小比較器に与える構成によって、アンロック状態におけるサイクルスリップ検出漏れの防止と、ロック状態におけるサイクルス

リップ誤検出の防止という相反する課題を同時に解決しているのである。ディスクシステムにおいては、通常再生時にロック状態にあり、また、指定された記録位置へ読取点を移動せしめた後の引き込み動作ではアンロック状態になるが、上述のようにすることにより、どちらも良好にサイクルスリップの検出がなされることとなる。

【0040】図10の位相同期回路の作用効果は、図12のような構成でも実現できる。図12においては、セレクトではなくnビットのデータを保持することのできるレジスタ8UR、8LRが上側及び下側大小比較器8U1、8L1の比較基準値を与える。このレジスタ8UR、8LRは、CPU80からのnビットデータが入力され、CPU80からの書換指令に応じてその入力データを取り込む。CPU80にはロック検出回路11からのロック検出信号が供給される。CPU80は、ロック検出信号を監視し、ロック検出信号が高レベルから低レベルとなったのを受けて、書換指令とともにレジスタ8URに上記の第1の上側閾値UTH1に対応するデータを、レジスタ8LRに上記の第1の下側閾値LTH1に対応するデータをそれぞれ転送する。また、CPU80は、ロック検出信号が低レベルから高レベルとなったのを受けて、書換指令とともにレジスタ8URに上記の第2の上側閾値UTH2に対応するデータを、レジスタ8LRに上記の第2の下側閾値LTH2に対応するデータをそれぞれ転送する。これにより、図10の位相同期回路と同等の作用効果を奏することができる。

【0041】図12のサイクルスリップ検出器88においては、さらに振幅演算器80Aが設けられている。この振幅演算器80Aは、A/D変換器6の出力デジタル信号に基づいて、読取信号の振幅平均値を算出し、その算出結果をCPU80へ転送する。かかる振幅平均値は、ディスク記録面の読取光に対する反射率もしくは透過率や、読取光の強度等に依存する。従ってCPU80が、転送された振幅平均値に最適な上側及び下側の比較基準値を求め、求めた比較基準値に対応するデータをレジスタ8UR、8LRに書き込むことにより、読み取り対象のディスクが替わっても、また1のディスクの読取中において経時的に当該ディスクの光学特性が変化しても、常に最良の状態でサイクルスリップを検出することができるのである。例えば、SD-ROMとSD-RAM、SD-ROMとCDとでは読取光に対する光学特性が割に大きく異なるので、このような読取信号の振幅平均値に応じた比較基準値の設定は有効である。なお、ディスクの読取光に対する光学特性の変化は、読取信号の振幅平均値からだけでなく、読取信号のピーク値から察知する方法もある。要はA/D変換器6の入力信号レベルの変化に伴う位相エラー値のダイナミックレンジに対応して閾値を変化させるようにすれば良い。また、読取信号の振幅平均値に応じたレジスタ8UR、8LRの内容の更新は、常に行うようにしても良いし、再

生起動時やロック検出信号のエッジタイミングで行うようにしても良い。

【0042】図13は、さらに改変したサイクルスリップ検出器88'の構成を示している。図13においては、nビットのデータを保持することのできるレジスタRU1、RU2、RL1、RL2と、上側レジスタRU1、RU2の出力データが入力されるセクタ8USと、下側レジスタRL1、RL2の出力データが入力されるセクタ8LSとが設けられている。これらレジスタがセクタを介して上側及び下側大小比較器8U1、8L1の比較基準値を与える。各レジスタは、CPU80からのnビットデータが入力され、CPU80からの書換指令に応じてその入力データを取り込む。CPU80からはレジスタRU1、RL1に上記の第1の上側及び下側閾値UTH1、LTH1に対応するデータが、レジスタRU2、RL2に上記の第2の上側及び下側閾値UTH2、LTH2に対応するデータが書き込まれる。セクタ8US、8LSにはロック検出回路11からのロック検出信号が供給される。セクタ8US、8LSは、ロック検出信号が低レベルであるとき（アンロック状態）、A入力を選択し、レジスタRU1、RL1に保持されているUTH1、LTH1のデータを上側及び下側大小比較器8U1、8L1へ出力する。セクタ8US、8LSは、ロック検出信号が高レベルであるとき（ロック状態）、B入力を選択し、レジスタRU2、RL2に保持されているUTH2、LTH2のデータを上側及び下側大小比較器8U1、8L1へ出力する。

【0043】かかる構成により、図10の位相同期回路と同等の作用効果を奏することができるが、図10のものに比し、各閾値データをレジスタにより可変に保持している点で、サイクルスリップ検出器88'は、より汎用性がある。すなわち、図12のように読取光に対するディスクの光学特性の変化に応じて各閾値データを替えたりすることは勿論、VCO83の特性に応じて各閾値データを替えることも可能であり、本例のようなディスクシステムの位相同期回路に限らず様々なシステムの位相同期回路に適用可能なサイクルスリップ検出器が実現できる。また、図13の構成は、ロック／アンロック状態に対応する閾値データをそれぞれレジスタに保持しておき、ロック検出信号により直接、セクタを切り換えてレジスタに保持された閾値データを大小比較器に与えるので、図12の構成に比し、ロック／アンロックに対する応答性が良いという利点がある。

【0044】これまでは、サイクルスリップ検出器側を種々改変した例を示したが、図14のように、位相同期ループにおける加算回路側を主に改変しても良い。図14において、サイクルスリップ検出器88'は、立ち下がり及び立ち上がり検出信号FL、FHをサイクルスリップ検出信号として出力する。つまり、この2つの検出信号のどちらか一方が高レベルとなれば、サイク

ルスリップが生じていることに相当する。検出信号FL、FHは加算回路において負値データ発生器873、正值データ発生器874に供給される。負値データ発生器873は、検出信号FLが高レベルとなると、所定の負の値に対応するnビットのデジタル信号を発生し、正值データ発生器874は、検出信号FHが高レベルとなると、所定の正の値に対応するnビットのデジタル信号を発生する。負値及び正值データ発生器873、874は、入力の検出信号が低レベルである場合は、それぞれゼロに対応するnビットのデジタル信号を発生する。かかる負値データ及び正值データは、デジタル位相エラー信号PEとともにデジタル加算器870に供給され、これら入力データ値の総和に対応するデータが生成される。デジタル加算器870により生成された総和データは、D/A変換器86に送られ、アナログ化されてフィルタ82に供給される。

【0045】このような構成によっても先に説明した各実施例に共通の作用効果を得ることができる。また、サイクルスリップ検出器の出力部から加算回路までをデジタル化したことにより、デジタル回路による集積化がしやすいという利点もある。なお、上記各実施例においては、位相エラー信号が正と負の両極性の値を有するが、位相エラーが最大値と最小値とを有するものであれば、一方の極性例えば正の値のみを有するものであっても本発明は適用可能である。

【0046】

【発明の効果】以上詳述した如く、本発明のサイクルスリップ検出器によれば、位相エラーがとり得る最大値近傍の第1閾値よりも供給された位相エラー信号の値が大きいことが判別され第1判別信号が発生される。また位相エラーがとり得る最小値近傍の第2閾値よりも供給された位相エラー信号の値が小さいことが判別され第2判別信号が発生される。そして、第1判別信号と第2判別信号とが連続して発生したときにサイクルスリップ検出信号が発生される。また、本発明の位相同期回路によれば、上記サイクルスリップ検出信号が、ループフィルタに供給される位相エラー信号に加算される。さらに、本発明のデジタル信号再生装置によれば、サンプリングタイミング信号にて読取信号がサンプルされデジタル変換されてデジタル信号が出力されるとともに、読取信号に対する当該デジタル変換におけるサンプリングタイミングの位相エラーに応じた位相エラー信号が生成される。そして上記の位相同期回路によって得られた位相同期信号がサンプリングタイミング信号とされる。

【0047】従って、引き込み動作を行うことのできる周波数レンジの広い位相同期回路及びこれに好適なサイクルスリップ検出器を提供することができる。また、デジタル信号再生装置においては、アンロック状態から記録媒体の指定された記録位置の信号を読み取るまでのアクセス時間を短縮することができるのである。

【図面の簡単な説明】

【図 1】従来のセルフクロッキング技術が適用された光学式ディスクドライブ装置の構成を示すブロック図。

【図 2】本発明による位相同期回路が適用された一実施例のデジタル信号再生装置の基本構成を示すブロック図。

【図 3】図 2 のデジタル信号再生装置における位相エラー検出器の位相進み検出動作原理を示すタイムチャート。

【図 4】図 2 のデジタル信号再生装置における位相エラー検出器の位相遅れ検出動作原理を示すタイムチャート。

【図 5】本発明によるサイクルスリップ検出器を用いた位相同期回路の具体的構成を示すブロック図。

【図 6】図 5 の位相同期回路における VCO の発振周波数が低い場合のサイクルスリップ検出器における各部動作波形を示すタイムチャート。

【図 7】図 5 の位相同期回路における VCO の発振周波数が高い場合のサイクルスリップ検出器における各部動作波形を示すタイムチャート。

【図 8】図 5 の位相同期回路におけるサイクルスリップ検出器の変形例を示すブロック図。

【図 9】図 5 の位相同期回路におけるサイクルスリップ検出器の他の変形例を示すブロック図。

【図 10】本発明による他の実施例の閾値切換型サイクルスリップ検出器を用いた位相同期回路の具体的構成を示すブロック図。

【図 11】図 10 の位相同期回路の作用効果を説明するための、上側及び下側大小比較器の閾値と位相エラーとの関係を示す図。

【図 12】本発明による他の実施例の閾値可変型サイクルスリップ検出器を用いた位相同期回路の具体的構成を示すブロック図。

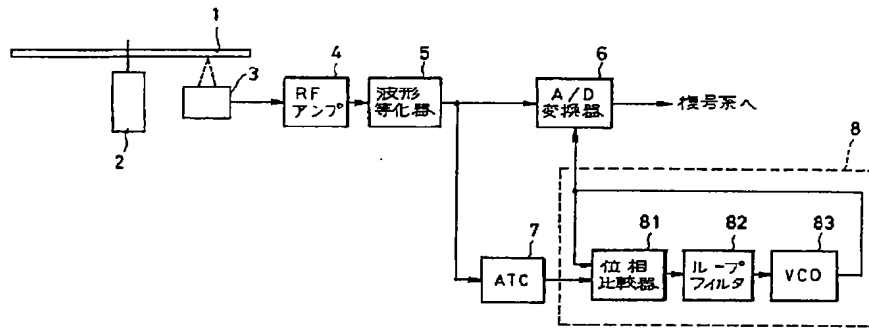
【図 13】本発明による他の実施例の閾値切換及び可変型サイクルスリップ検出器を用いた位相同期回路の具体的構成を示すブロック図。

【図 14】本発明による他の実施例のデジタル加算型位相同期回路の具体的構成を示すブロック図。

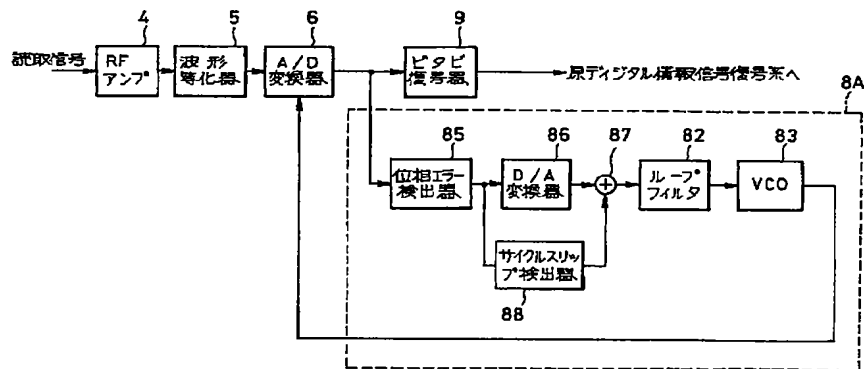
【符号の説明】

- 1 光ディスク
- 2 スピンドルモータ
- 3 ピックアップ
- 4 RF アンプ
- 5 波形等化器
- 6 A/D 変換器
- 7 オートマチックスレッシュホールドコントローラ
- 8, 8A 位相同期ループ
- 81 位相比較器
- 82 ループフィルタ
- 83 電圧制御発振器
- 85 位相エラー検出器
- 86 D/A 変換器
- 87 アナログ加算器
- 88 サイクルスリップ検出器
- 8U1, 8L2 上側大小比較器, 下側大小比較器
- 8U2, 8L2, 8U4, 8L4 D型フリップフロップ
- 8U3, 8L3 ANDゲート
- 880, 8U5, 8L5 ORゲート
- 881 3値制御回路
- 882, 883, 884, 886, 887, 888, 821, 822, 823, 871, 872 抵抗器
- 87 加算回路
- 824 コンデンサ
- 820, 885 演算増幅器
- 8US, 8LS セレクタ
- 8UR, 8LR, RU1, RU2, RL1, RL2 レジスタ
- 80 CPU
- 80A 振幅演算器
- 870 デジタル加算器
- 873, 874 負値データ発生器, 正值データ発生器
- 9 ビタビ復号器
- 10 シンク検出回路
- 11 ロック検出回路

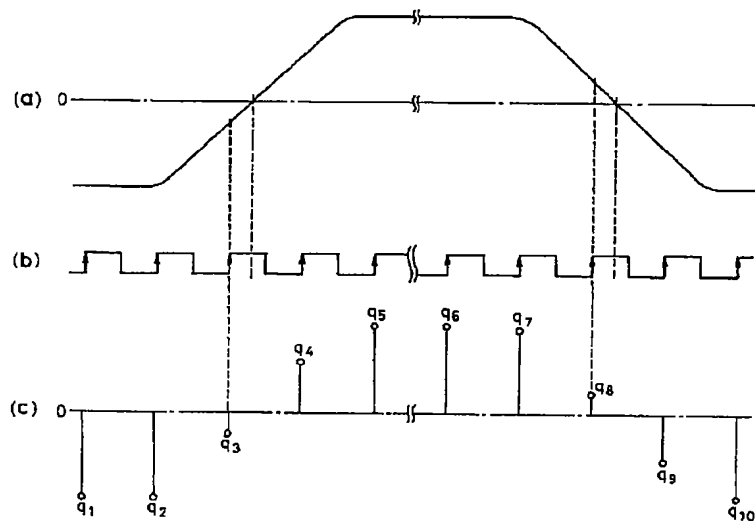
【図1】



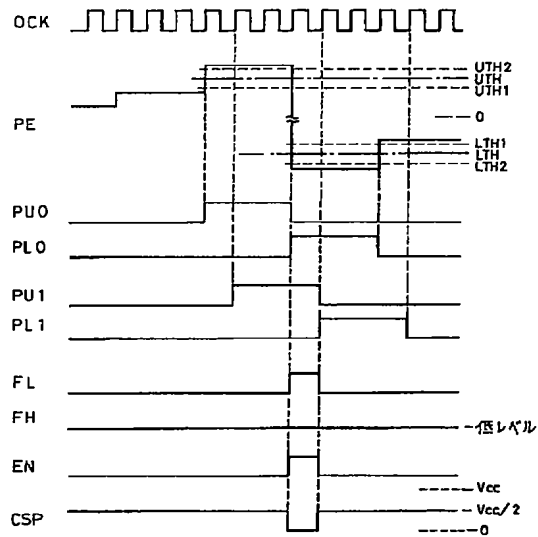
【図2】



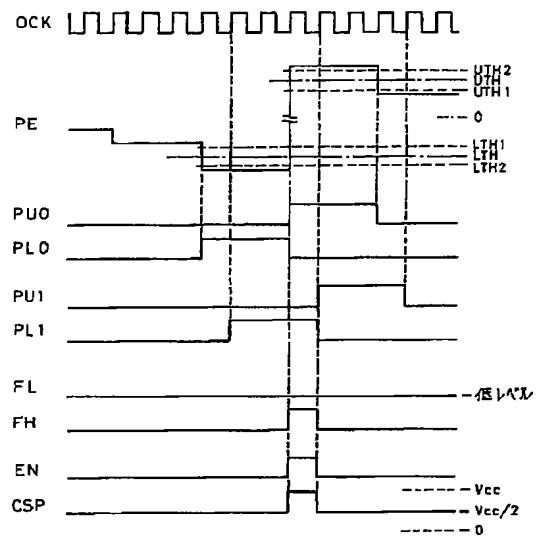
【図3】



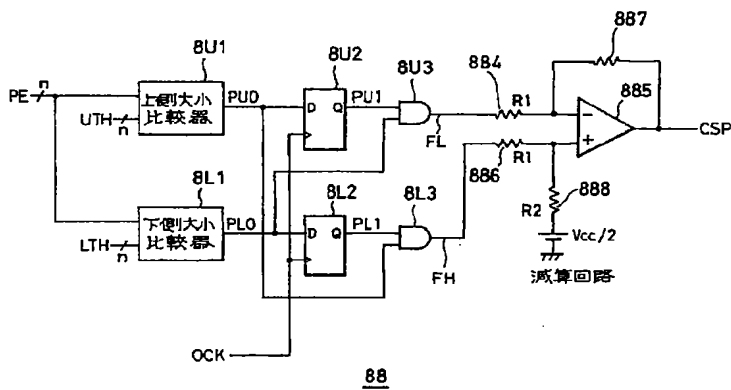
【図6】



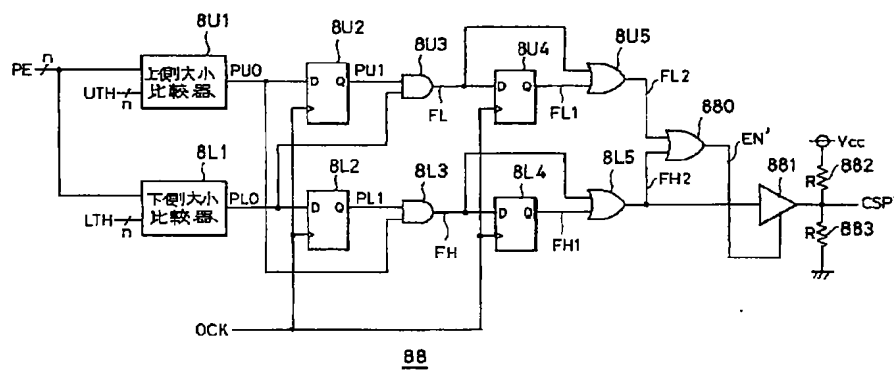
【図7】



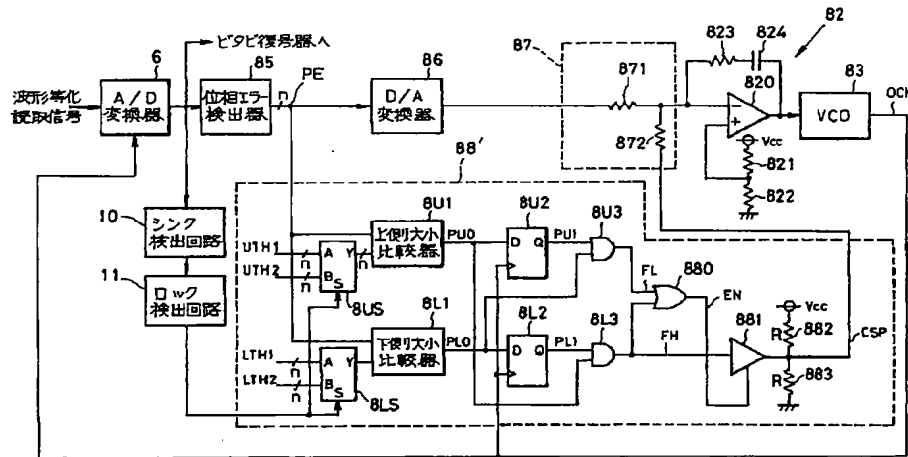
【図8】



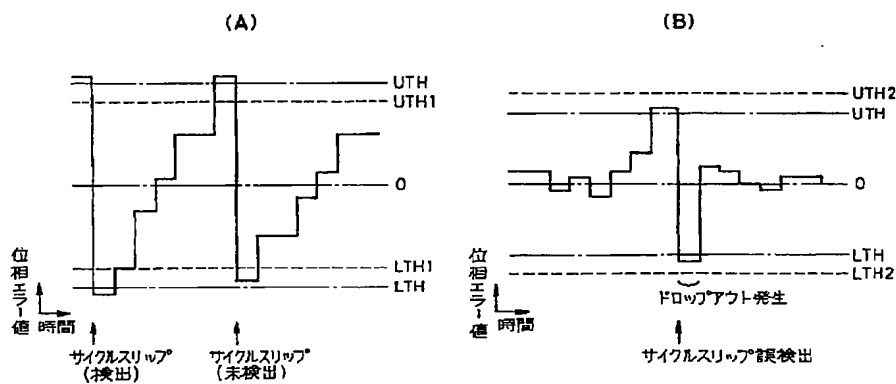
【図9】



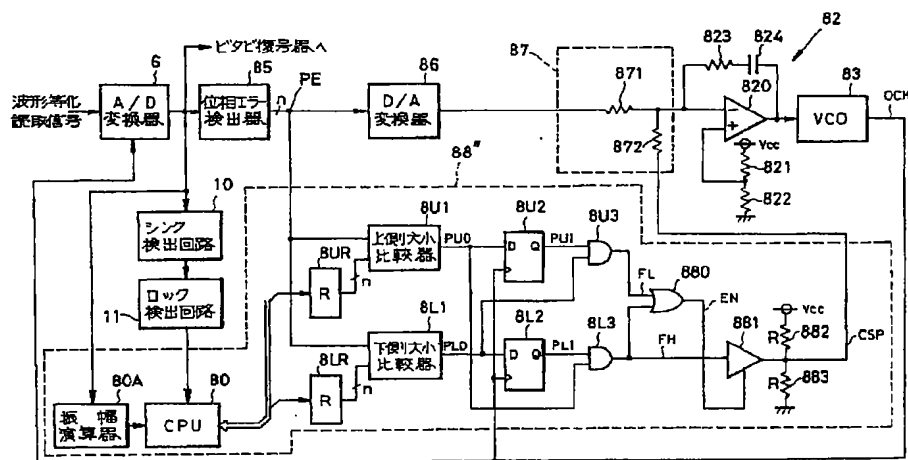
【図10】



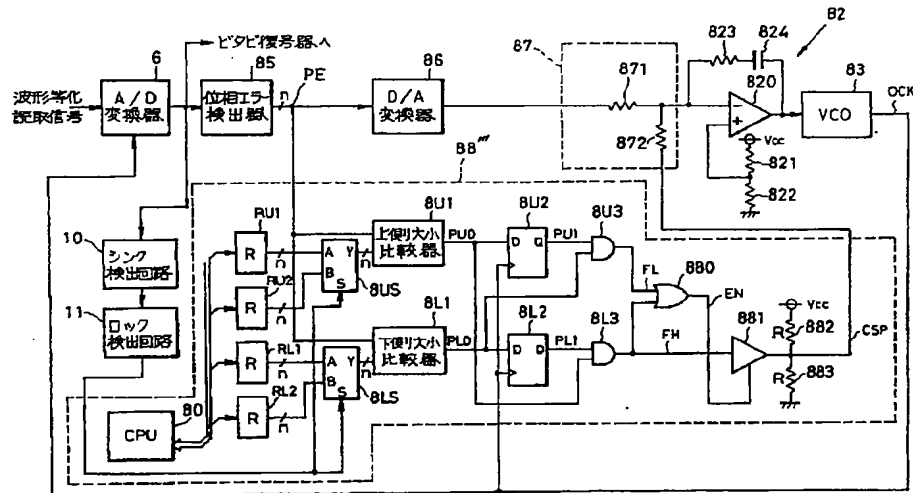
【図11】



【図12】



【図13】



【図14】

